

Научная статья
УДК 004.6:004.8
<https://doi.org/10.24143/2072-9502-2025-4-43-51>
EDN VXINNG

Моделирование циклического избыточного кодера для передачи данных кадрами Ethernet II в среде Xilinx Vivado

**Дмитрий Андреевич Аминев¹, Сергей Юрьевич Захаржевский²,
Дмитрий Владимирович Козырев³✉, Гектор Жибсон Кинманон Уанкпо⁴**

^{1, 2}МИРЭА – Российский технологический университет,
Москва, Россия

³Российский университет дружбы народов имени Патриса Лумумбы,
Москва, Россия, kozyrev-dv@rudn.ru ✉

⁴Финансовый университет при Правительстве Российской Федерации,
Москва, Россия

Аннотация. Раскрыта актуальность семейства проводных компьютерных сетевых технологий Ethernet, используемых для передачи потоков данных в локальных, городских и глобальных сетях. Рассмотрена историческая ретроспектива и эволюция развития технологий Ethernet. Показана роль циклического избыточного кодирования (CRC), которое широко применяется в протоколах передачи данных, включая Ethernet, для обнаружения ошибок в данных путем добавления специального кода к каждому блоку. Обоснован выбор типа кадра Ethernet II как наиболее распространенного для передачи данных в локальных сетях. Исследована структура данных кадра Ethernet II, содержащая преамбулу, сетевые адреса получателя и отправителя, сведения о версии интернет-протокола, поле данных переменной длины от 46 до 1 500 байт и CRC. Описан принцип вычисления 4-х байт CRC для структуры данных кадра Ethernet II по 32-битному полиному 0x04C11DB7. Разработаны функциональная схема и алгоритм моделирования CRC-кодера. На языке программирования Verilog создан исходный код CRC-кодера, использующий функцию отражения битов для вычислений посредством обратного полинома 0xEDB88320. Разработана специальная программа для тестирования кодера, формирующая поток кадров Ethernet II, состоящих из адресов получателя и отправителя, поля типа интернет-протокола, полезной нагрузки случайной длины и межкадрового интервала от 12 до 24 байт нулей. Проведено моделирование работы кодера в среде разработки ПЛИС Xilinx Vivado на потоке кадров Ethernet II, в которых отсутствует 8-байтовая преамбула, т. к. она не учитывается при вычислении 32-битного CRC для кадра. Проведен анализ результирующих временных диаграмм. Выполнена проверка результатов вычислений в онлайн-калькуляторе CRC.

Ключевые слова: циклическое избыточное кодирование, программируемая логическая интегральная схема, Ethernet, обработка информации, вычисление

Для цитирования: Аминев Д. А., Захаржевский С. Ю., Козырев Д. В., Уанкпо Г. Ж. К. Моделирование циклического избыточного кодера для передачи данных кадрами Ethernet II в среде Xilinx Vivado // Вестник Астраханского государственного технического университета. Серия: Управление, вычислительная техника и информатика. 2025. № 4. С. 43–51. <https://doi.org/10.24143/2072-9502-2025-4-43-51>. EDN VXINNG.

Original article

Simulation of a cyclic redundant encoder for data transmission by Ethernet II frames in the Xilinx Vivado environment

**Dmitry A. Aminev¹, Sergey Yu. Zakharzhevsky²,
Dmitry V. Kozyrev³✉, Hector Gibson Kinmanhon Houankpo⁴**

^{1, 2}MIREA – Russian Technological University,
Moscow, Russia

³Peoples' Friendship University of Russia named after Patrice Lumumba,
Moscow, Russia, kozyrev-dv@rudn.ru ✉

⁴Financial University under the Government of the Russian Federation,
Moscow, Russia

Abstract. The article reveals the relevance of the family of wired computer network technologies Ethernet used to transmit data streams in local, metropolitan and global networks. The historical retrospective and evolution of the development of Ethernet technologies are considered. The role of cyclic redundancy coding (CRC), which is widely used in data transmission protocols, including Ethernet, for detecting errors in data by adding a special code to each block is shown. The choice of the Ethernet II frame type, as the most common for data transmission in local networks, is substantiated. The data structure of the Ethernet II frame, containing a preamble, network addresses of the recipient and sender, information about the Internet protocol version, a variable-length data field from 46 to 1500 bytes and CRC, is investigated. The principle of calculating a 4-byte CRC for the data structure of the Ethernet II frame using the 32-bit polynomial 0x04C11DB7 is described. A functional diagram and an algorithm for modeling a CRC encoder have been developed. The source code of the CRC encoder has been created in the Verilog programming language. It uses the bit reflection function for calculations using the inverse polynomial 0xEDB88320. A special program for testing the encoder has been developed. It forms a stream of Ethernet II frames consisting of the recipient and sender addresses, an Internet protocol type field, a random-length payload, and an interframe interval of 12 to 24 bytes of zeros. The encoder operation has been simulated in the Xilinx Vivado FPGA development environment on a stream of Ethernet II frames that lack an 8-byte preamble, since it is not taken into account when calculating the 32-bit CRC for the frame. The resulting timing diagrams have been analyzed. The calculation results have been checked in the online CRC calculator.

Keywords: cyclic redundant coding, programmable logic integrated circuit, Ethernet, information processing, computing

For citation: Aminev D. A., Zakharzhevsky S. Yu., Kozыrev D. V., Houankpo H. G. K. Simulation of a cyclic redundant encoder for data transmission by Ethernet II frames in the Xilinx Vivado environment. *Vestnik of Astrakhan State Technical University. Series: Management, computer science and informatics.* 2025;4:43-51. (In Russ.). <https://doi.org/10.24143/2072-9502-2025-4-43-51>. EDN VXINNG.

Введение

Ethernet – семейство проводных компьютерных сетевых технологий, используемых в локальных, городских и глобальных сетях [1, 2]. Ethernet был представлен в 1980 г. и впервые стандартизирован в 1983 г. как IEEE 802.3, затем усовершенствован для поддержки более высоких скоростей передачи данных, большего количества узлов и больших расстояний соединения [3, 4]. Со временем Ethernet в значительной степени заменил конкурирующие технологии проводной локальной сети, такие как Token Ring, FDDI и ARCNET [5].

Обнаружение ошибок играет ключевую роль в обеспечении целостности и надежности передаваемых данных в сетевых системах, таких как Ethernet. Одним из наиболее распространенных методов обнаружения ошибок является использование циклического избыточного кодирования (CRC) [6], которое активно применяется в протоколах передачи данных, включая Ethernet, где используется 32-битный CRC-код (CRC32).

Циклическое избыточное кодирование используется для обнаружения ошибок в данных путем добавления специального кода к каждому блоку перед его передачей по сети. Код вычисляется на основе определенного полинома и позволяет эффективно обнаруживать ошибки, возникающие во время передачи.

Ethernet II является одним из наиболее распространенных стандартов для передачи данных в локальных сетях, определяющим структуру кадра для обмена информацией между устройствами [7]. Стандарт обеспечивает эффективное и надежное взаимодействие в сетях, в том числе благодаря использованию 32-битного CRC.

Современные сетевые технологии, такие как IoT и промышленный Ethernet, требуют высокой надежности передачи данных при ограниченных вычислительных ресурсах. В условиях высокой зашумленности каналов связи или при работе на устройствах с низким энергопотреблением (например, встраиваемых системах) традиционные методы контроля ошибок могут оказаться недостаточно эффективными. Данное исследование направлено на разработку оптимизированного CRC-кодера для программируемых логических интегральных схем (ПЛИС), который обеспечивает высокую скорость обработки данных при минимальных аппаратных затратах. Это особенно актуально для сегментов сетей, где критичны энергопотребление и быстродействие.

Во встраиваемых системах CRC-кодирование в большинстве случаев реализуется на ПЛИС в виде либо цифровых схем, либо программного кода на языках VHDL или Verilog [8]. Целью данной работы является создание и моделирование проекта ПЛИС 32-битного циклического избыточного кодера (CRC32) для кадров типа Ethernet II. Для достижения поставленной цели в работе решен комплекс задач:

- анализ структуры данных кадра Ethernet II и локализация в нем битов CRC;
- определение 32-битного полинома для кадра Ethernet II и принципа его вычисления;
- разработка функциональной схемы и алгоритма моделирования CRC-кодера;
- реализация исходного кода CRC-кодера на языке программирования Verilog на основе принципа вычисления CRC для кадра Ethernet II;
- проведение моделирования в среде разработки ПЛИС Xilinx Vivado, проверка результатов вычислений в онлайн-калькуляторе.

Анализ структуры данных кадра Ethernet II и принцип вычисления CRC

Кадры, или фреймы, Ethernet II (рис. 1) состоят из четко определенных полей, включая адреса от-

правителя и получателя, тип протокола и контрольные суммы, что позволяет обеспечить целостность и правильную интерпретацию передаваемых данных [9].

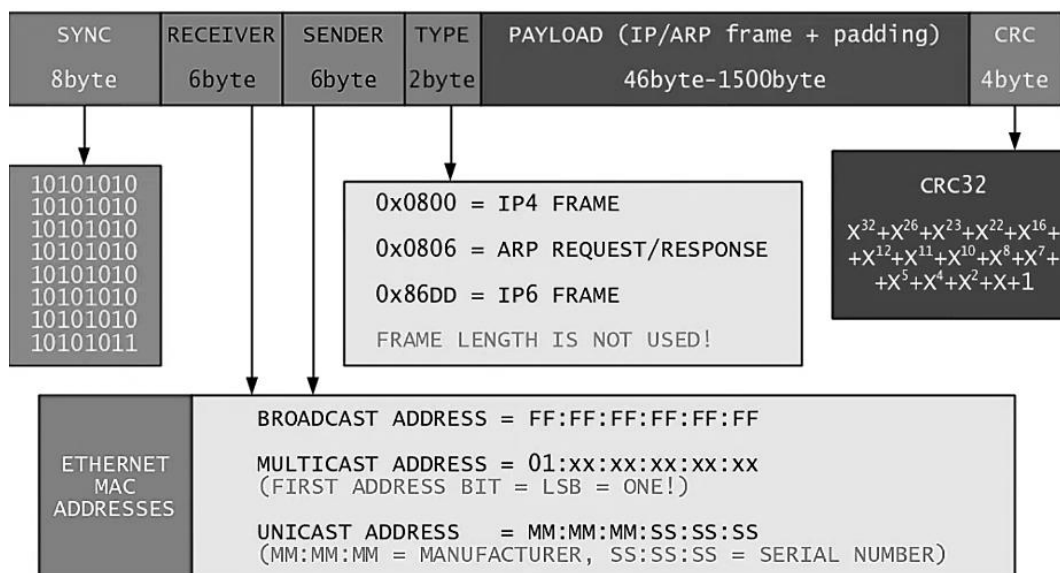


Рис. 1. Структура данных кадра Ethernet для моделирования

Fig. 1. Ethernet frame data structure for simulation

Кадр начинается с преамбулы SYNC длиной 8 байт, поля, содержащего MAC-адрес получателя (RECEIVER), длина которого составляет 6 байт. Этот адрес представляет собой уникальный идентификатор для каждого сетевого интерфейса, что обеспечивает точное адресное назначение в процессе передачи данных. MAC-адреса формируются производителем сетевого оборудования и записываются в микросхему сетевой карты, это гарантирует, что каждый адрес будет уникальным и не будет повторяться среди других устройств в сети. Зная MAC-адрес получателя, отправитель может уверенно передавать информацию, точно определяя, кому она предназначена.

MAC-адрес отправителя (SENDER) длиной 6 байт предоставляет информацию о том, откуда поступили данные, позволяя получателю узнать источник сообщения. Идентификация отправителя имеет решающее значение для обеспечения обратной связи и управления потоком данных в сети. Получив данные, устройство может использовать адрес отправителя для отправки ответов или запросов, а также для диагностики сетевых проблем и отслеживания соединений.

Поле Type, состоящее из 2 байт, используется операционной системой принимающей станции для выбора версии интернет-протокола, например IPv4. Самоидентифицирующиеся фреймы позво-

ляют смешивать несколько протоколов в одной физической сети и использовать несколько протоколов совместно одному компьютеру.

Поле данных (PAYLOAD), которые передаются от отправителя к получателю, содержит фактические данные, включая различные типы информации, такие как текстовые сообщения, изображения, видео и другие формы цифрового контента. Размер PAYLOAD может варьироваться от 46 до 1 500 байт и изменяться в зависимости от типа передаваемой информации и требований конкретных сетевых протоколов, используемых в сети. Если размер данных меньше 46 байт, в кадр добавляются дополнительные байты для достижения минимального размера кадра.

Завершающим элементом кадра Ethernet II является поле CRC, которое состоит из 4 байт. Это поле обеспечивает проверку целостности данных, переданных в кадре. Принцип вычисления CRC основан на математических методах, позволяющих обнаруживать ошибки, возникающие в процессе передачи информации. по различным причинам, включая электрические помехи, проблемы с соединением или сбой в работе оборудования. Использование поля CRC значительно повышает надежность коммуникации, т. к. оно позволяет системе обнаруживать любые изменения в данных. Если принимающее устройство получает значение,

отличное от указанного в поле CRC, это сигнализирует о том, что произошла ошибка в передаче. В таком случае устройство может инициировать запрос на повторную передачу данных, что позволяет избежать потери информации и гарантирует, что получатель примет целостные данные.

CRC-кодирование базируется на делении данных, представленных в виде длинной битовой строки, на фиксированный полином. Процесс деления вычисляет остаток, который и служит кон-

трольной суммой. Этот остаток добавляется к исходным данным и передается вместе с ними. Получатель выполняет аналогичное деление и проверяет совпадение вычисленной контрольной суммы с полученной. Несовпадение указывает на наличие ошибок в данных. В кадрах Ethernet II используется фиксированный полином 0x04C11DB7 для 32-битного CRC [9], который можно записать в виде функции $P(x)$

$$P(x) = x^{32} + x^{26} + x^{23} + x^{22} + x^{16} + x^{12} + x^{11} + x^{10} + x^8 + x^7 + x^5 + x^4 + x^2 + x + 1.$$

Деление на этот полином осуществляется с помощью операции XOR (исключающее ИЛИ), что делает процесс более эффективным для аппаратной реализации на ПЛИС, поскольку переносы в данном случае не учитываются. Процесс деления начинается с выравнивания полинома по левому краю двоичной строки данных. На каждом шаге текущий блок данных, длина которого соответствует длине полинома, делится на полином с использованием операции XOR. Результат этой операции затем применяется для выравнивания следующего блока данных. Процесс повторяется до тех пор, пока вся битовая строка не будет обработана. Если в конце остается неполный блок данных, его можно дополнить нулями до полной длины полинома, что позволяет обеспечить согласованность в длине.

После завершения всех операций деления конечный 32-битный остаток (CRC32) является контрольной суммой. CRC32 служит критически важ-

ным элементом для проверки целостности передаваемых данных. Перед передачей он добавляется к исходным двоичным данным, что позволяет как отправителю, так и получателю проверить, были ли данные искажены в процессе передачи.

Среди альтернативных полиномов для сравнительного анализа (табл.) можно выделить:

– CRC-16-CCITT (телекоммуникации):

$$P(x) = x^{16} + x^{12} + x^5 + 1;$$

– CRC-8-Dallas/Maxim (1-Wire протоколы, короткие сообщения в датчиках):

$$P(x) = x^8 + x^5 + x^4 + 1;$$

– Koopman-64 (критичные системы, файловые системы, распределенные хранилища данных):

$$P(x) = x^{64} + x^{62} + x^{57} + 1.$$

Сравнительный анализ CRC-полиномов для Ethernet-кадров

Comparative analysis of CRC polynomials for Ethernet frames

Критерий	CRC32 (Ethernet)	CRC-16-CCITT	CRC-8	Koopman-64
Полином (HEX)	0x04C11DB7	0x1021	0xD5	0xAD93D23594C935A9
Степень полинома	32	16	8	64
Контрольная сумма, байт	4	2	1	8
Обнаружение ошибок:				
Одиночные биты, %	100	100	100	100
Двойные биты, %	100	100	< 90	100
Пакеты до N бит	N = 32	N = 16	N = 8	N = 64
Вычислительная сложность	Средняя (оптимизировано для ПЛИС)	Низкая	Очень низкая	Высокая
Рекомендуемая длина кадра, байт	≤ 1 500	≤ 256	≤ 64	Любая
Ресурсы ПЛИС (LUT/FF)	128/32	64/16	32/8	256/64

Предложенная реализация CRC32 на ПЛИС с использованием обратного полинома 0xEDB88320 и функций отражения битов обеспечивает высокую эффективность при минимальных аппаратных затра-

тах. Это особенно важно для устройств с ограниченными вычислительными ресурсами.

Функциональная схема и алгоритм моделирования CRC-кодера

Функциональная схема моделирования кодера (рис. 2) с вычислением CRC32 для кадров Ethernet II

состоит из формирователя кадров Ethernet II, вычислителя CRC и визуализатора.

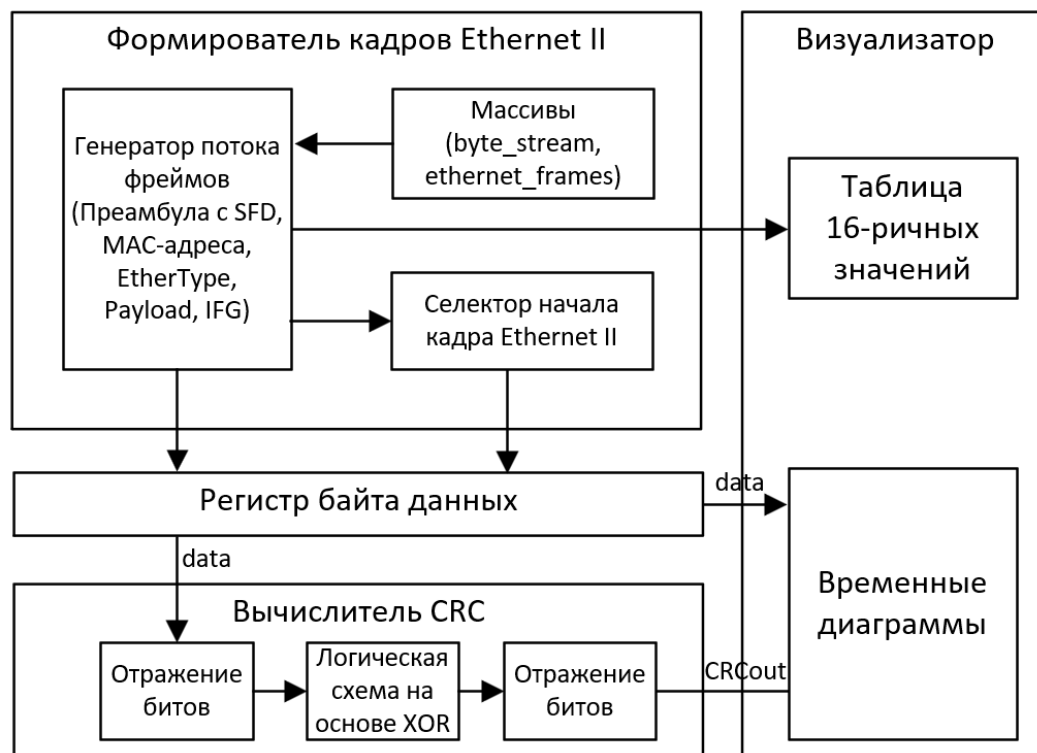


Рис. 2. Функциональная схема моделирования CRC-кодера

Fig. 2. Functional scheme of CRC encoder modeling

Формирователь кадров Ethernet II в массивах `byte_stream`, `ethernet_frames` генерирует поток фреймов, содержащих преамбулу SYNC с последним байтом SFD, MAC-адреса, поля EtherType, Payload и межкадровый интервал IFG. По сигналу от селектора начала кадра Ethernet II данные потока побайтно (`data`) передаются в вычислитель CRC через регистр. Вычислитель CRC по полиному `0x04C11DB7`, используя функции отражения битов на входе и выходе, реализует вычисление обратного полинома `0xEDB88320` от `data` на основе функций XOR. Генерируемые фреймы визуализируются в виде таблицы 16-ричных значений, а байты данных `data` и результирующие значения `CRCout` визуализируются в виде временных диаграмм в среде моделирования.

Алгоритм моделирования CRC-кодера, представленный на рис. 3, включает операции по формированию кадров Ethernet II, вычислению CRC и визуализации этих процессов.

После инициализации массивов `byte_stream` и `ethernet_frames` с их использованием генерируется поток кадров. Формируемый поток кадров Ethernet II состоит из случайного количества фреймов (от 10 до 35), причем каждый фрейм содержит преамбулу (7 байт `0x55`) с SFD (1 байт `0xD5`), случайные MAC-адреса (12 байт), случайный EtherType (2 байта, IPv4, ARP или IPv6), случайную Payload (от 46 до 1 500 байт) и межкадровые интервалы IFG (от 12 до 24 байт нулей).

Перед передачей байта в вычислитель CRC согласно алгоритму моделирования осуществляется селекция начала кадра Ethernet II путем поиска преамбулы с SFD в потоке на входной линии. Затем выполняется копирование данных текущего фрейма в массив `ethernet_frames` без преамбулы с SFD, которые визуализируются в виде таблицы 16-ричных значений.

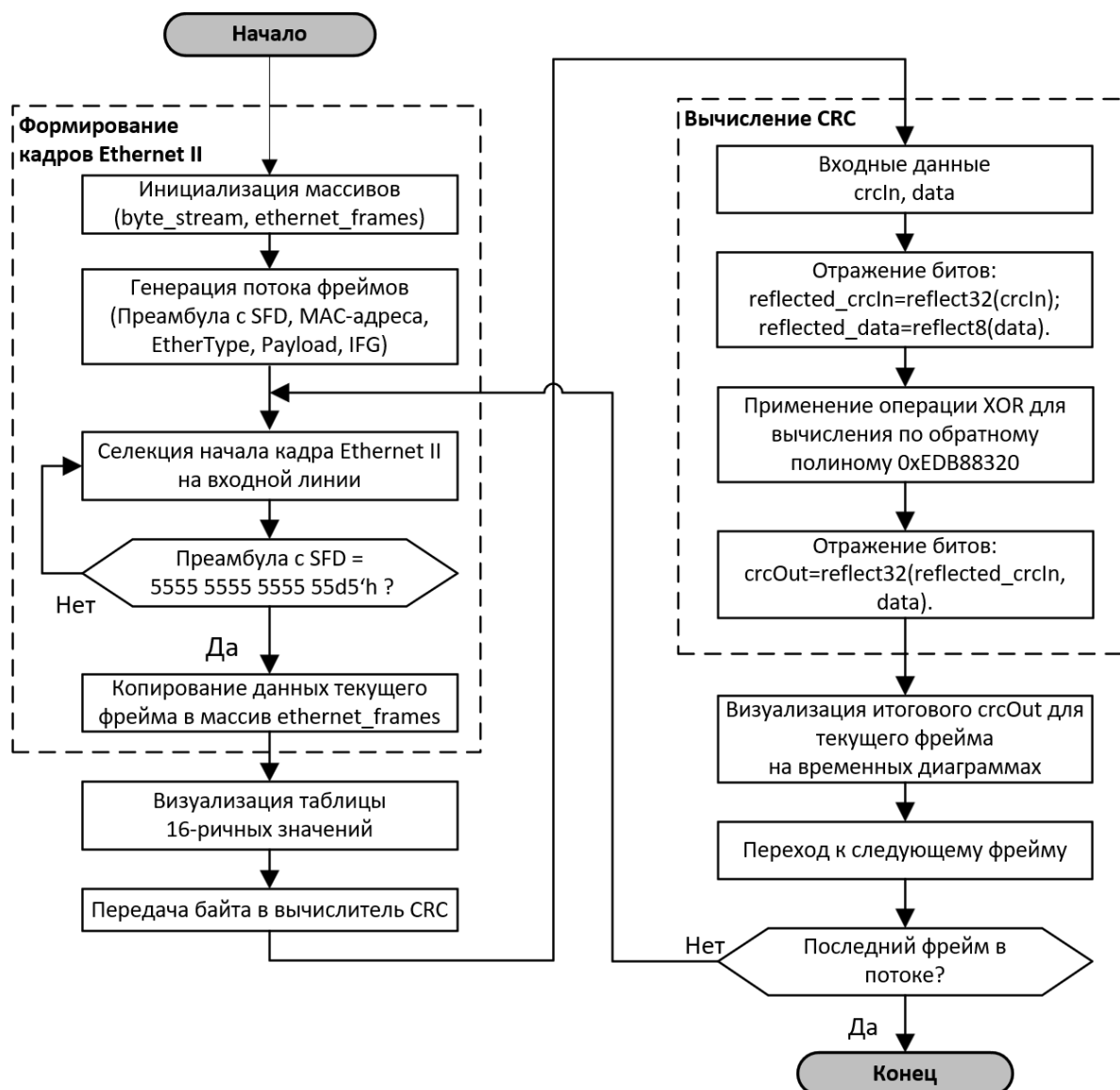


Рис. 3. Алгоритм моделирования CRC-кодера

Fig. 3. CRC encoder modeling algorithm

Данные фрейма из массива ethernet_frames побайтно (data) отражаются (reflected_data) с использованием функции reflect8 для вычисления итогового crcOut посредством функций XOR по обратному полиному 0xEDB88320, причем обратный полином формируется из исходного 0x04C11DB7 с использованием функции отражения битов reflect32. Текущие значения data и crcOut для кадра визуализируются на временных диаграммах.

Создание проекта ПЛИС и результаты моделирования работы CRC-кодера

В среде разработки ПЛИС Xilinx Vivado [10] был создан HDL-проект 32-битного CRC-кодера для кадра Ethernet II. Исходный код циклического

избыточного кодера на языке Verilog размещен на открытом ресурсе GitHub [11] в составе двух файлов: вычислителя CRC32_module.v и тестовой программы CRC32_tb.v.

Проект реализует принцип вычисления CRC32, который используется для проверки целостности данных в кадре Ethernet II. Процесс включает в себя последовательную обработку каждого байта данных [7 : 0] data, промежуточные вычисления посредством побитовой операции XOR и формирование итогового значения [31 : 0] crcOut. Причем входной байт данных [7 : 0] data и текущее значение [31 : 0] next_crc отражаются (биты переставляются в обратном порядке) с помощью функций reflect8 и reflect32. Поскольку исходный полином 0x04C11DB7 исполь-

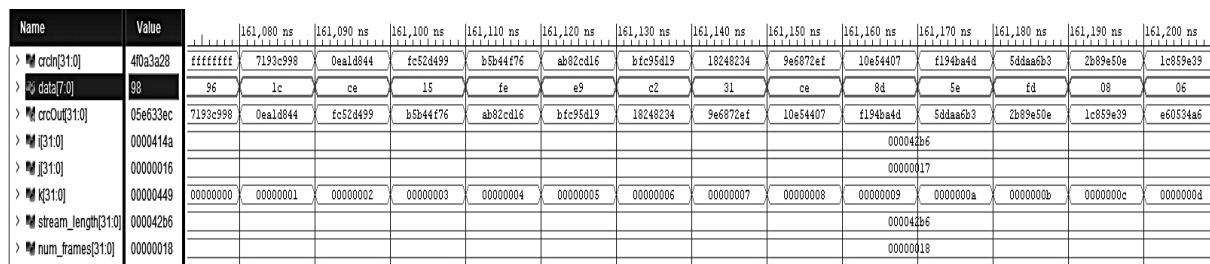
зуется в обратном порядке битов, с помощью reflect32 он отражается в полином 0xEDB88320.

Для моделирования кодера CRC32 в среде Xilinx Vivado на языке Verilog создана специальная тестовая программа crc32_tb, в которой формируется кадр Ethernet II со случайными значениями для MAC-адресов, EtherType и Payload. В процессе тестирования кадр побайтно передается в модуль кодера CRC32, где для каждого байта вычисляется промежуточное значение CRC, а в результате выводится итоговое значение [31 : 0] crcOut. Исходный код тестовой программы crc32_tb.

Тестовая программа crc32_tb выполняет моделирование процесса вычисления контрольной суммы CRC32 для входных данных, представленных в виде потока кадров Ethernet II. На этапе инициализации задается начальное значение 32'hFFFFFFFF регистра crcIn, а входной байт данных data инициализируется значением 8'h00, которое готовит мо-

дуль к вычислению контрольной суммы. Программа crc32_tb создает поток кадров Ethernet II со случайным количеством от 10 до 35. Каждый кадр состоит из преамбулы SYNC (7 байт 0x55) с начальным разделителем кадра SFD (1 байт 0xD5), случайных MAC-адресов (12 байт), случайного поля EtherType (2 байта: IPv4, ARP или IPv6), полезной нагрузки (Payload) случайной длины (от 46 до 1 500 байт) и межкадрового интервала (IFG, от 12 до 24 байт нулей). Поток байтов формируется в массиве byte_stream, после чего разделяется на отдельные фреймы.

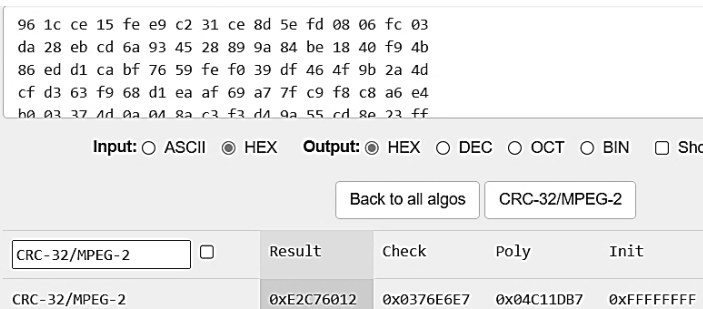
Результаты моделирования кодера в среде Xilinx Vivado в виде временных диаграмм, в виде консольного списка значений CRC в шестнадцатеричном формате, а также проверки этих значений в онлайн-калькуляторе CRC [12] представлены на рис. 4.



a

```
Frame 23 (Length: 356 bytes):
96 1c ce 15 fe e9 c2 31 ce 8d 5e fd 08 06 fc 03
da 28 eb cd 6a 93 45 28 89 9a 84 be 18 40 f9 4b
86 ed d1 ca bf 76 59 fe f0 39 df 46 4f 9b 2a 4d
cf d3 63 f9 68 d1 ea af 69 a7 7f c9 f8 c8 a6 e4
b0 03 37 4d 0a 04 8a c3 f3 d4 9a 55 cd 8e 23 ff
b5 4f 92 67 c3 17 44 cf b4 10 6e 1e 20 8e ac 93
29 a3 16 89 5f 23 4e 61 2b 7f f0 6e 03 ba 50 86
4b 75 75 85 88 cc b9 f4 5f 85 7a 9b 82 c0 cf a4
78 33 20 ad f2 a9 21 e0 10 38 7e ef c9 7c 4a 8b
5f b7 f6 c2 92 b5 5c 48 e8 d1 36 9d 5b 68 fa 9e
30 b5 f4 e5 c5 c5 2b 09 a9 19 50 b1 41 0d d5 f4
cb 28 e8 86 88 f1 ea ae 5e db a2 fc 36 6e 47 46
f1 c7 1d 56 a3 08 40 5d 89 55 d9 0a dc 80 de e3
73 72 0d 36 dc fc ce c7 56 a6 2a 0c e8 94 fb 9b
65 a3 12 25 25 59 e0 1b cc 3f fe cd 55 c8 82 b4
49 de 12 34 cd ae 1e f0 f7 52 a6 9d 93 79 89 d7
44 20 35 71 b0 00 39 3d 1e 43 0a 47 b4 b1 08 02
4a 51 90 dc 66 3a 9d 41 ef 19 59 fa a3 98 8c 73
50 b0 d6 53 74 9d 22 7a b3 eb b8 42 4d e3 e3 a1
7e 4a 0a 86 7d 30 b9 8f 7b 53 f4 ed d3 47 cf 22
59 61 2f e4 6e 2f 20 44 50 dc 2e 04 be e4 b4 a4
fa e6 f3
Final Calculated CRC32 for Frame 23: e2c76012
```

б



в

Рис. 4. Результаты моделирования: временные диаграммы работы кодера CRC32 (а); вывод значений в консоль Xilinx Vivado (б); проверка результатов моделирования в онлайн-калькуляторе (в)

Fig. 4. Simulation results: time diagrams of the CRC32 encoder (a); output of values to the Xilinx Vivado console (b); verification of simulation results in an online calculator (c)

Так, при использовании CRC с полиномом 0x04C11DB7 при начальном регистре 32'hFFFFFFF для одного из сгенерированных фреймов, содержащего случайные данные, был получен хеш 0xE2C76012, что подтверждается проверкой в онлайн-калькуляторе CRC.

Заключение

В современных протоколах Ethernet, включая гигабитный Ethernet и 10-гигабитный Ethernet, CRC32 играет важную роль в обеспечении целостности данных. Эти протоколы поддерживают высокие скорости передачи данных, и использование CRC32 остается эффективным решением для обнаружения ошибок при минимальных накладных расходах. Кроме того, современные сетевые устройства, такие как коммутаторы и маршрутизаторы, включают в себя аппаратные модули для вычисления CRC в реальном времени, что позволяет сократить задержки и снизить нагрузку на процессоры сетевых устройств. Это делает CRC32 одним из ключевых элементов обеспечения стабильной и надежной работы современных Ethernet-сетей.

Завершающим элементом всех типов кадров Ethernet является поле контрольной суммы (CRC), состоящее из 4 байт, которое используется для проверки целостности данных в кадре.

Главное преимущество CRC заключается в его способности эффективно обнаруживать одиночные и множественные ошибки в битах, а также пакетные ошибки, что делает его надежным средством контроля целостности данных. В кадре Ethernet II используется 32-битный CRC по полиному 0x04C11DB7.

На основе принципа вычисления CRC и детализированного анализа структуры данных кадра Ethernet II и были разработаны функциональная схема и алгоритм моделирования CRC-кодера, обеспечивающие формирование потока кадров

Ethernet II, вычисление 32-битного CRC по полиному 0x04C11DB7 с использованием операций XOR и визуализацию значений в среде моделирования.

Проект циклического избыточного кодера, созданный в среде моделирования и разработки ПЛИС Xilinx Vivado, содержит исходные коды вычислителя CRC и тестовой программы на языке программирования Verilog. Кодер из 8-битных входных данных реализует вычисление 32-битного значения CRC по полиному 0xEDB88320, который является побитовым отражением указанного в стандарте Ethernet II полинома 0x04C11DB7.

Тестовая программа позволила провести моделирование процесса вычисления CRC на потоке кадров Ethernet II, состоящих из MAC-адресов, поля EtherType, полезной нагрузки Payload случайной длины (от 46 до 1 500 байт) и межкадрового интервала (IFG, от 12 до 24 байт нулей). При этом для упрощения моделирования 8-байтовая преамбула SYNC для кадра не задавалась, т. к. она не учитывается при вычислении CRC32. Полученные в результате моделирования значения были проверены в онлайн-калькуляторах CRC, и подтвердили правильность вычислений.

Разработанный CRC-кодер демонстрирует высокую эффективность в условиях ограниченных ресурсов, что делает его применимым в таких областях, как промышленная автоматизация, IoT и телекоммуникации. Реализация на ПЛИС позволяет достичь высокой производительности при низком энергопотреблении, что особенно важно для устройств, работающих в условиях помех или с ограниченным энергопотреблением. Проведенный сравнительный анализ подтвердил преимущество использования полинома 0x04C11DB7 для кадров Ethernet II, а также показал, что предложенный алгоритм может быть адаптирован для других стандартов передачи данных.

Список источников

1. Антонов А. И., Галкин В. А., Аксенов А. Н. Сетевые технологии в автоматизированных системах обработки информации и управления: учеб. пособие. М.: Изд-во МГТУ им. Н. Э. Баумана, 2020. 148 с.
2. Metcalfe R. M., Boggs D. R. Ethernet: distributed packet switching for local computer networks // Communications of the ACM. 1983. V. 26. Iss. 1. P. 90–95. <https://doi.org/10.1145/357980.358015>.
3. Shoch J. F., Dalal Y. K., Redell D. D. Evolution of the Ethernet Local Computer Network // IEEE Computer. 1982. V. 15 (8). P. 14–26. DOI: 10.1109/MC.1982.1654107.
4. Spurgeon Ch. E., Zimmerman J. Ethernet: The Definitive Guide. O'Reilly Media, 2019. 508 p.
5. von Burg Urs, Kenney M. Sponsors, Communities, and Standards: Ethernet vs. Token Ring in the Local Area Networking Business // Industry & Innovation. 2003. V. 10 (4). P. 351–375. DOI: 10.1080/1366271032000163621. S2CID 153804163.
6. Press W. H., Teukolsky S. A., Vetterling W. T., Flannery B. P. Numerical Recipes: The Art of Scientific Computing. Cambridge University Press, 2007. 1195 p.
7. IEEE 802.3 'Standard for Ethernet' Marks 30 Years of Innovation and Global Market Growth (Press release). IEEE. June 24, 2013. URL: https://web.archive.org/web/20140112041706/http://standards.ieee.org/news/2013/802.3_30anniv.html (дата обращения: 12.03.2025).
8. Федоров И. К. Встраиваемые системы на основе ПЛИС: учеб. пособие. М.; СПб.: БХВ-Петербург, 2020. 576 с.
9. IEEE Std 802.3-2012, IEEE Standard for Ethernet. URL: <https://standards.ieee.org/ieee/802.3/5084/> (дата обращения: 12.03.2025).
10. Аминев Д. А., Данилов Р. А. Моделирование на ПЛИС декодера кодов с малой плотностью проверок на четность на основе алгоритма минимальной суммы в среде разработки Xilinx Vivado // Проектирование и технология электронных средств. 2024. № 2. С. 30–39.
11. Захаржевский С. Ю. Исходный код проекта CRC кодера для Ethernet II // GitHub. 2025. URL: https://github.com/assah1/CRC32_Ethernet2/tree/main (дата обращения: 05.05.2025).

12. Онлайн-калькулятор для вычисления CRC. URL: <https://crccalc.com/?crc=123456789&method=&datatype=0>

&outtype=0 (дата обращения: 05.05.2025).

References

1. Antonov A. I., Galkin V. A., Aksenov A. N. *Setevye tekhnologii v avtomatizirovannykh sistemakh obrabotki informatsii i upravleniya: uchebnoe posobie* [Network technologies in automated information processing and management systems: a textbook]. Moscow, Izd-vo MGTU im. N. E. Bauman, 2020. 148 p.
2. Metcalfe R. M., Boggs D. R. Ethernet: distributed packet switching for local computer networks. *Communications of the ACM*, 1983, vol. 26, iss. 1. pp. 90-95. <https://doi.org/10.1145/357980.358015>.
3. Shoch J. F., Dalal Y. K., Redell D. D. Evolution of the Ethernet Local Computer Network. *IEEE Computer*, 1982, vol. 15 (8), pp. 14-26. DOI: 10.1109/MC.1982.1654107. S2CID 14546631.
4. Spurgeon Ch. E., Zimmerman J. *Ethernet: The Definitive Guide*. O'Reilly Media, 2019. 508 p.
5. von Burg Urs, Kenney M. Sponsors, Communities, and Standards: Ethernet vs. Token Ring in the Local Area Networking Business. *Industry & Innovation*, 2003, vol. 10 (4), pp. 351-375. DOI: 10.1080/1366271032000163621. S2CID 153804163.
6. Press W. H., Teukolsky S. A., Vetterling W. T., Flannery B. P. *Numerical Recipes: The Art of Scientific Computing*. Cambridge University Press, 2007. 1195 p.
7. *IEEE 802.3 'Standard for Ethernet' Marks 30 Years of Innovation and Global Market Growth* (Press release). IEEE. June 24, 2013. Available at: https://web.archive.org/web/20140112041706/http://standards.ieee.org/news/2013/802.3_30anniv.html (accessed: 12.03.2025).
8. Fedorov I. K. *Vstraivaemye sistemy na osnove PLIS: uchebnoe posobie* [FPGA-based embedded systems: a tutorial]. Moscow, Saint Petersburg, BKhV-Peterburg, 2020. 576 p.
9. *IEEE Std 802.3-2012, IEEE Standard for Ethernet*. Available at: <https://standards.ieee.org/ieee/802.3/5084/> (accessed: 12.03.2025).
10. Aminev D. A., Danilov R. A. Modelirovanie na PLIS dekodera kodov s maloi plotnost'iu proverok na chetnost' na osnove algoritma minimal'noi summy v srede razrabotki Xilinx Vivado [FPGA decoder simulation of low-density parity checks based on the minimum sum algorithm in the Xilinx Vivado development environment]. *Proektirovanie i tekhnologiya elektronnykh sredstv*, 2024, no. 2, pp. 30-39.
11. Zakharzhevsky S. Yu. Implementation of Ethernet II CRC-32 checksum (Version 1.0) [Source code]. *GitHub*, 2025. Available at: https://github.com/assah1/CRC32_Ethernet2/tree/main (accessed: 05.05.2025).
12. *Online-cal'kuliator dlia vychisleniya CRC* [Online calculator for calculating CRC]. Available at: <https://crccalc.com/?crc=123456789&method=&datatype=0&outtype=0> (accessed: 05.05.2025).

Статья поступила в редакцию 10.05.2025; одобрена после рецензирования 12.08.2025; принята к публикации 23.10.2025
The article was submitted 10.05.2025; approved after reviewing 12.08.2025; accepted for publication 23.10.2025

Информация об авторах / Information about the authors

Дмитрий Андреевич Аминев – кандидат технических наук; доцент кафедры разработки программных решений и системного программирования; МИРЭА – Российский технологический университет; aminev.d.a@ya.ru

Сергей Юрьевич Захаржевский – студент, направление обучения «Информационные системы и технологии»; МИРЭА – Российский технологический университет; zakharzhevsky.sirozha@mail.ru

Дмитрий Владимирович Козырев – кандидат физико-математических наук; доцент кафедры теории вероятностей и кибербезопасности; Российский университет дружбы народов имени Патриса Лумумбы; kozyrev-dv@rudn.ru

Гектор Жибсон Кинманон Уанкпо – кандидат физико-математических наук; ассистент кафедры математики и анализа данных; Финансовый университет при Правительстве Российской Федерации; gibsonhouankpo92@gmail.com

Dmitry A. Aminev – Candidate of Technical Sciences; Assistant Professor of the Department of Software Solutions and System Programming Development; MIREA – Russian Technological University; aminev.d.a@ya.ru

Sergey Yu. Zakharzhevsky – Student, training area “Information Systems and Technologies”; MIREA – Russian Technological University; zakharzhevsky.sirozha@mail.ru

Dmitry V. Kozurev – Candidate of Physico-Mathematical Sciences; Assistant Professor of the Department of Probability Theory and Cybersecurity; Peoples' Friendship University of Russia named after Patrice Lumumba; kozyrev-dv@rudn.ru

Hector Gibson Kinmanhon Houankpo – Candidate of Physico-Mathematical Sciences; Lecturer of the Department of Mathematics and Data Analysis; Financial University under the Government of the Russian Federation; gibsonhouankpo92@gmail.com

